

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-139431

(43)公開日 平成9年(1997)5月27日

(51)Int.Cl.<sup>6</sup>  
H 01 L 21/82  
21/316  
21/3205

識別記号 庁内整理番号

F I  
H 01 L 21/82  
21/316  
21/82  
21/88

技術表示箇所  
F  
G  
R  
S

審査請求 有 請求項の数 5 OL (全 6 頁)

(21)出願番号 特願平7-296551

(22)出願日 平成7年(1995)11月15日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 渡辺 武士

東京都港区芝五丁目7番1号 日本電気株  
式会社内

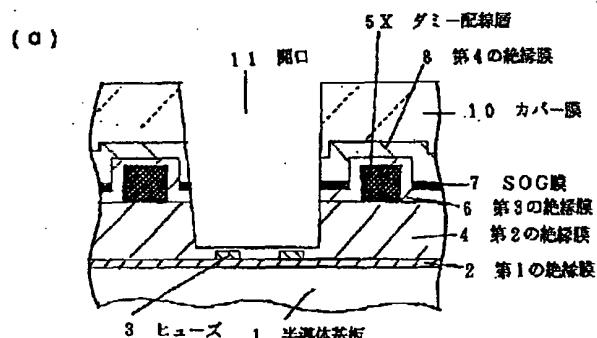
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 半導体装置とその製造方法

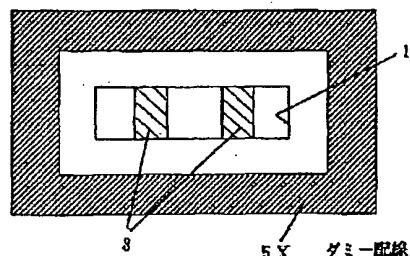
(57)【要約】

【課題】 多層配線構造の平坦化を図るためにSOG膜を利用すると、ヒューズ溶断用の開口内にSOG膜の端部が露呈され、このSOG膜を通して水分が内部回路にまで進入され、半導体装置の特性が劣化される。

【解決手段】 ヒューズ3を溶断するためにカバー膜10や絶縁膜8等に設けた開口11を平面方向に囲むようにダミーの配線層5Xを形成する。このダミーの配線層5Xは平坦化を行うためのSOG膜7と同じ層に位置されるため、SOG膜7を開口11の周囲において分断することになる。開口11内にその一端部が露呈されたSOG膜7が水分を吸収しても、ダミー配線層5Xによって水分の伝達が防止され、水分が内部回路にまで進入することが防止される。



(b)



**【特許請求の範囲】**

**【請求項1】** 上下層の配線層を絶縁する層間絶縁膜の一部が塗布絶縁膜が形成されて平坦化を行っている多層配線構造を有する半導体装置において、前記塗布絶縁膜を含む前記層間絶縁膜の厚さ方向にわたって開設された開口を有し、かつ前記塗布絶縁膜と同じ層に前記開口を平面方向に囲む配線層が形成されていることを特徴とする半導体装置。

**【請求項2】** 開口を囲む配線層は、ダミーの配線層である請求項1の半導体装置。

**【請求項3】** 層間絶縁膜の下層には冗長回路のヒューズが形成されており、開口はこのヒューズ形成領域に開設されてなる請求項1または2の半導体装置。

**【請求項4】** 半導体基板に第1の絶縁膜及び第2の絶縁膜を形成する工程と、この第2の絶縁膜上に配線層を形成し、かつこの配線層の一部により所要の領域に囲い状のダミーの配線層を形成する工程と、全面に第3の絶縁膜を形成した後、塗布絶縁膜を塗布し、かつこれをエッチングバックして前記配線層の直上の塗布絶縁膜を除去する工程と、全面に第4の絶縁膜及びカバー膜を形成する工程と、前記ダミーの配線層で囲まれた領域に前記カバー膜の表面から前記塗布絶縁膜を含む所要の厚さ範囲にわたって開口を開設する工程とを含むことを特徴とする半導体装置の製造方法。

**【請求項5】** 第1の絶縁膜上の所要の領域に冗長回路のヒューズを形成し、その上に第2の絶縁膜を形成し、かつ前記ダミーの配線層は前記ヒューズの一部を囲むように形成され、前記開口は前記ヒューズ上における第2の絶縁膜が所要の厚さに残される厚さまで開設される請求項4の半導体装置の製造方法。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】** 本発明は冗長回路を有し、かつ多層配線構造の半導体装置とその製造方法に関する。

**【0002】**

**【従来の技術】** 近年における半導体装置の高集積化に伴って多層配線構造が採用されているが、下側配線によってその表面に段差が生じると、上側配線において段切れ等の不良が生じ易くなる。このため、従来から下側配線の段差を緩和する構成が提案されている。図6はその一例を示す図である。先ず、図6(a)のように、半導体基板1の全面にCVD法によりシリコン酸化膜からなる第1の絶縁膜2と第2の絶縁膜4を形成する。そして、その上にタングステンCVD法により約500nmのタングステン配線層5を形成し、その上面にプラズマCVD法により500nmのプラズマ酸化膜からなる第3の絶縁膜6を形成する。そして、この第3の絶縁膜6上には有機シリカ(SOG)膜7を塗布した後、約400°C、30分のベーク処理を行う。

**【0003】** ついで、図6(b)のトピックを記述する。

ステン配線層5の上側において前記第3の絶縁膜6の一部が露呈されるまで前記SOG膜7をエッチングバックする。これにより前記タングステン配線層5の間にのみSOG膜7が残され、配線層の間の段差が緩和される。

**【0004】** しかる上で、図6(c)のように、全面にプラズマCVD法により約400nmのプラズマ酸化膜からなる第4の絶縁膜8を形成し、タングステン配線層5の上にコンタクト孔8aを形成する。さらに、このコンタクト孔8aを形成後、タングステン配線層5に接続されるようにスペッタ法により700nmのAlSiCuと50nmのTiNを形成し、積層配線層9を形成する。次に、全面に約1000nmのカバー膜10を形成する。

**【0005】** ところで、前記したような半導体装置においては、素子の微細化により生じ易い素子欠陥を救済するために冗長回路が設けられることがある。この冗長回路は例えばヒューズにより本回路に接続されており、本回路に欠陥が生じたときにヒューズを切断して本回路の一部を冗長回路に切り替えることが行われている。例えば、前記した例では、図7(a)に示すように、第1の絶縁膜2の上にタングステンシリサイドによりヒューズ3を形成しておき、図6(c)に示した工程が完了された後に、図7(b)のように、このヒューズを形成した領域において前記カバー膜10、第4、第3の各絶縁膜8、6を選択エッティングして開口11を設け、かつ第2の絶縁膜4もその膜厚を低減させている。ヒューズ3を切断する場合には、この開口11を通してヒューズ3にレーザ光を投射し、ヒューズを溶断している。

**【0006】**

**【発明が解決しようとする課題】** このようにヒューズの溶断効率を高めるために、ヒューズ3上の絶縁膜をエッティングして開口を形成しているが、このとき、図7(b)のように、開口11の形成領域に前記SOG膜7がエッティングされずに残存していると、このSOG膜7の端部が開口11の側面に露呈される状態が生じることになる。このようにSOG膜7の端部が露呈されていると、半導体装置を樹脂封止したプラスチックパッケージからの水分がSOG膜7の端部から吸収され、吸収された水分がSOG膜7を通して内部回路にまで伝えられ、内部回路を電気的に短絡して半導体装置の動作不良や信頼性を低下させる原因となる。

**【0007】** このため、開口11の形成領域にSOG膜7が完全に残らないように、SOG膜のエッティングを行なわせると、エッティング時間が長くなつて製造効率が低下するとともに、配線領域のSOG膜の膜厚も低減され、前記した多層配線構造の平坦化効果が低下してしまうことになる。

**【0008】** 本発明の目的は、多層配線構造の平坦化を図る一方で、ヒューズ開口からの水分の進入による特性

とある。

### 【0009】

【課題を解決するための手段】本発明の半導体装置は、上下層の配線層を絶縁する層間絶縁膜の一部にSOG膜が形成されて平坦化を行っている多層配線構造を有する半導体装置において、SOG膜を含む層間絶縁膜の厚さ方向にわたって開設された開口を有し、かつSOG膜と同じ層に開口を平面方向に囲む配線層が形成されていることを特徴とする。ここで、開口を囲む配線層は、ダミーの配線層で構成される。また、開口は冗長回路のヒューズ形成領域に開設され、この開口を利用してヒューズの溶断を行うように形成される。

【0010】本発明の半導体装置の製造方法は、半導体基板に第1の絶縁膜及び第2の絶縁膜を形成する工程と、この第2の絶縁膜上に配線層を形成し、かつこの配線層の一部により所要の領域に囲い状のダミーの配線層を形成する工程と、全面に第3の絶縁膜を形成した後、SOG膜を塗布し、かつこれをエッチングバックして前記配線層の直上のSOG膜を除去する工程と、全面に第4の絶縁膜及びカバー膜を形成する工程と、前記ダミーの配線層で囲まれた領域にカバー膜の表面からSOG膜を含む所要の厚さ範囲にわたって開口を開設する工程とを含んでいる。特に、第1の絶縁膜上の所要の領域に冗長回路のヒューズを形成し、その上に第2の絶縁膜を形成し、かつ前記ダミーの配線層は前記ヒューズの一部を囲むように形成され、前記開口は前記ヒューズ上における第2の絶縁膜が所要の厚さに残される厚さまで開設される。

### 【0011】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1ないし図4は本発明の実施形態を工程順に示す図であり、図1～図3のそれぞれにおいて、(a)は配線領域の、(b)はヒューズ領域の断面図である。先ず、図1(a)、(b)のように、半導体基板1の全面にCVD法によりシリコン酸化膜からなる第1の絶縁膜2を形成し、その上でヒューズ領域には約150nmのタンゲスタンシリサイドからなるヒューズ3を形成し、その上に第2の絶縁膜4を形成する。また、配線領域ではこの第2絶縁膜4の上にタンゲスタンCVD法により約500nmのタンゲスタン配線層5を形成する。このとき、ヒューズ領域では、タンゲスタン配線層の一部を利用して後工程で形成する開口を囲む領域に、ダミーのタンゲスタン配線層5Xを形成しておく。

【0012】しかる上で、前記タンゲスタン配線層5の上面にプラズマCVD法により500nmのプラズマ酸化膜からなる第3の絶縁膜6を形成する。そして、この第3の絶縁膜6上には有機シリカ(SOG)膜7を塗布した後、約400℃、30分のペーク処理を行う。

記タンゲスタン配線層5の上側において前記第3の絶縁膜6の一部が露呈されるまで前記SOG膜7をエッチングバックする。これにより配線領域では前記タンゲスタン配線層5の間にのみSOG膜7が残され、配線層5の間の段差が緩和される。また、ヒューズ領域にはエッチングされないSOG膜7が薄く残されている。

【0014】かかる上で、図3(a)、(b)のように、全面にプラズマCVD法により約400nmのプラズマ酸化膜からなる第4の絶縁膜8を形成する。そして、配線領域でタンゲスタン配線層5の上にコンタクト孔を形成し、その後、タンゲスタン配線層5に接続されるようにスパッタ法により700nmのAlSiCuと50nmのTiNを形成し、積層配線層9を形成する。次に、全面に約1000nmのカバー膜10を形成する。

【0015】次いで、図4(a)のように、ヒューズ領域においては、ヒューズ3上的一部分に対して前記カバー膜10、第4、第3の各絶縁膜8、6を選択エッチングして開口11を設け、かつ第2の絶縁膜4もヒューズ3上の膜厚が300～400nmとなるように低減させている。この開口11を形成することで、ヒューズ3を切断する場合には、この開口11を通してヒューズ3にレーザ光を投射して溶断することが容易となる。この開口11は、図4(b)に平面構成を示すように、前記ダミーのタンゲスタン配線層5Xで囲まれた区内に形成される。

【0016】したがって、このように構成された半導体装置では、開口11にSOG膜7の端部が露呈されているため、プラスチックパッケージ封止したときに水分が開口11にまで進入され、SOG膜7が水分を吸収し、半導体装置の内部にまで水分が進入されようとする。しかしながら、開口11を囲むようにダミーのタンゲスタン配線層5Xが形成されており、このダミータンゲスタン配線層5XによってSOG膜7は内部回路とは分断された状態とされているため、水分はダミーのタンゲスタン配線層5Xによって遮断され、内部回路にまで進入することが防止される。これにより、内部回路での電気的な短絡や信頼性の劣化が防止される。

【0017】また、この半導体装置では、SOG膜7がヒューズ領域に残存していても、前記したように内部回路への水分の進入が防止されるため、SOG膜7のエッチングを必要以上に行なうことはなく、エッチング時間を短縮して半導体装置の製造効率を高め、かつSOG膜による多層配線構造の平坦化が促進できる。因みに、本発明の半導体装置をプラスチック封止した上で、130℃、圧力25atm、湿度100%の状態で500時間の試験を行ったところ、不良の発生は皆無であった。

【0018】ここで、図5に示すように、ヒューズ領域に形成するダミーのタンゲスタン配線層は、ヒューズ開

成してもよい。さらには、スペースに余裕があれば、3重以上で囲むように形成してもよい。このダミーのタングステン配線の数が多ければ、それだけSOG膜を通して水分が内部回路にまで進入することを防止する効果が高められる。

#### 【0019】

【発明の効果】以上説明したように本発明は、層間絶縁膜の一部に塗布絶縁膜が形成されて平坦化を行っている多層配線構造を有する半導体装置において、塗布絶縁膜を含む層間絶縁膜の厚さ方向にわたって開設された開口を有し、かつ塗布絶縁膜と同じ層に開口を平面方向に囲む配線層が形成されているので、開口内にSOG膜の端部が露呈され、この端部から水分がSOG膜に吸収されて内部回路にまで進入されようとした場合でも、配線層によってSOG膜が分断されているため、水分が内部回路にまで進入されることではなく、半導体装置の特性劣化や信頼性の低下が防止される。また、開口を設けた領域においてSOG膜を完全にエッチングする必要がないため、SOG膜による多層配線構造の平坦化効果が高められる。

#### 【図面の簡単な説明】

【図1】本発明の実施形態の製造方法を工程順に示す断面図のその1である。

【図2】本発明の実施形態の製造方法を工程順に示す断

面図のその2である。

【図3】本発明の実施形態の製造方法を工程順に示す断面図のその3である。

【図4】本発明の実施形態の製造方法を工程順に示す断面図と平面図である。

【図5】本発明の他の実施形態における平面図である。

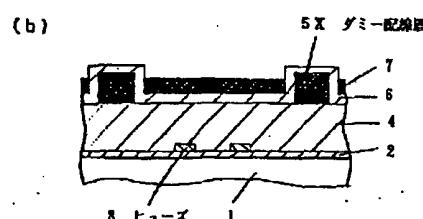
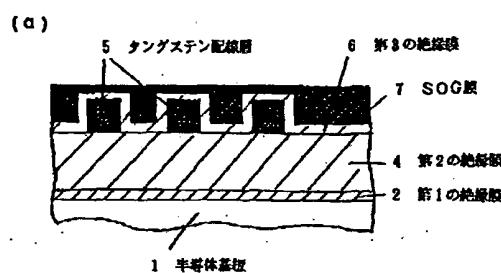
【図6】従来の半導体装置の製造方法の一例を工程順に示す断面図である。

【図7】図6の製造方法における問題点を説明するための断面図である。

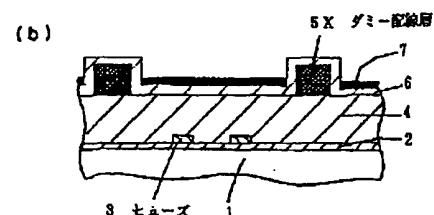
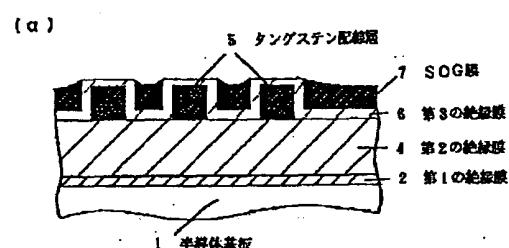
#### 【符号の説明】

- 1 半導体基板
- 2 第1の絶縁膜
- 3 ヒューズ
- 4 第2の絶縁膜
- 5 タングステン配線層
- 5X ダミーのタングステン配線層
- 6 第3の絶縁膜
- 7 SOG膜
- 8 第4の絶縁膜
- 9 積層配線層
- 10 カバー膜
- 11 開口

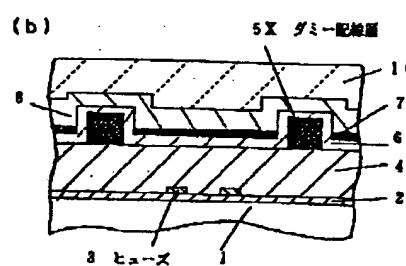
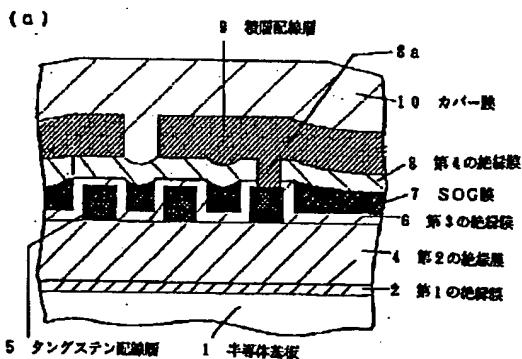
【図1】



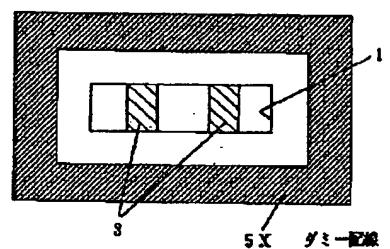
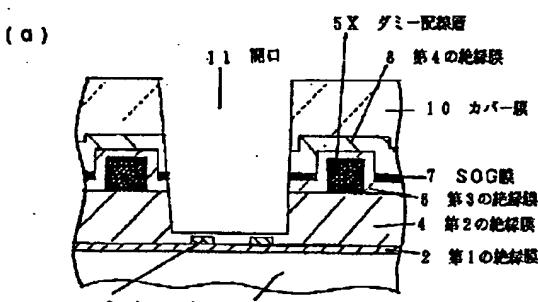
【図2】



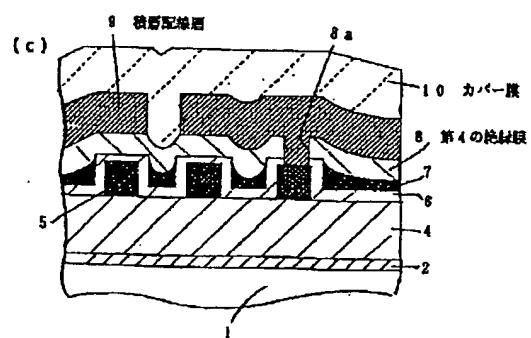
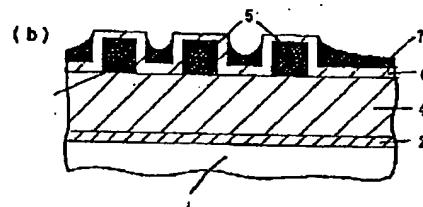
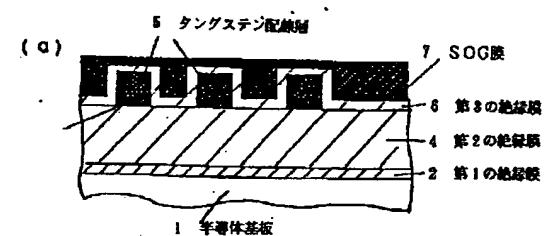
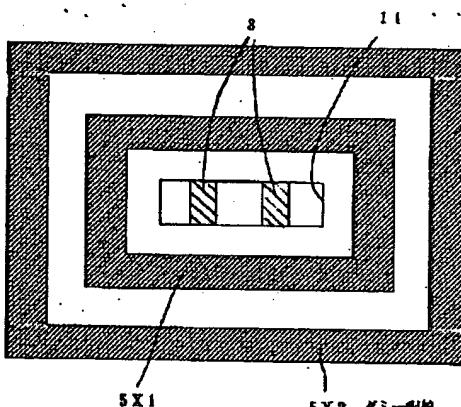
【図3】



【図4】

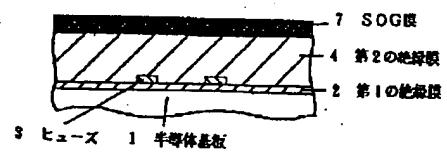


【図5】

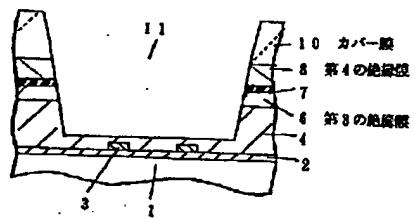


【図7】

(a)



(b)



English translation for IDS (09-139431)

## SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

[Claim(s)]

[Claim 1] The semiconductor device characterized by to form the wiring layer which has opening by which some layer-insulation films with which the wiring layer of a vertical layer is insulated were established over the thickness direction of the aforementioned layer-insulation film which contains the aforementioned application insulator layer in the semiconductor device which has the multilayer-interconnection structure where an application insulator layer is formed and flattening is performed, and surrounds the aforementioned opening in the direction of a flat surface in the same layer as the aforementioned application insulator layer.

[Claim 2] The wiring layer surrounding opening is the semiconductor device of the claim 1 which is the wiring layer of a dummy.

[Claim 3] It is the semiconductor device of claims 1 or 2 with which the fuse of a redundant circuit is formed in the lower layer of a layer insulation film, and it comes to establish opening to this fuse formation field.

[Claim 4] The manufacture method of a semiconductor device characterized by providing the following. The process which forms the 1st insulator layer and the 2nd insulator layer in a semiconductor substrate. The process which forms a wiring layer on this 2nd insulator layer, and forms the wiring layer of an enclosure-like dummy in a necessary field by a part of wiring layer of a parenthesis. The process which applies an application insulator layer, and carries out the etching back of this, and removes the application insulator layer of the right above of the aforementioned wiring layer after forming the 3rd insulator layer in the whole surface. The process which establishes opening from the front face of the aforementioned covering film over the necessary thickness range containing the aforementioned application insulator layer to the process which forms the 4th insulator layer and covering film in the whole surface, and the field surrounded by the wiring layer of the aforementioned dummy.

[Claim 5] It is the manufacture method of the semiconductor device of the claim 4 established to the thickness by which the 2nd insulator layer [ form the fuse of a redundant circuit in the necessary field on the 1st insulator layer, and form the 2nd insulator layer on it, and the wiring layer of the aforementioned dummy is formed so that some aforementioned fuses may be surrounded, and / opening / aforementioned ] on the aforementioned fuse is left behind to necessary thickness.

---

### DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention has a redundant circuit and relates to the semiconductor device and its manufacture method of multilayer-interconnection structure.

[0002]

[Description of the Prior Art] Although multilayer-interconnection structure is adopted with high integration of the semiconductor device in recent years, if a level difference arises on the front face with bottom wiring, in bottom wiring, it will become easy to produce the defect of a stage piece etc. For this reason, the composition which eases the level difference of bottom wiring from the former is proposed. Drawing 6 is drawing showing the example. First, the 1st insulator layer 2 and 2nd insulator layer 4 which

consist of a silicon oxide by CVD all over the semiconductor substrate 1 are formed like drawing 6 (a). And about 500nm tungsten wiring layer 5 is formed by tungsten CVD on it, and the 3rd insulator layer 6 which consists of a 500nm plasma oxidation film by the plasma CVD method is formed in the upper surface. And after applying the organic silica (SOG) film 7 on this 3rd insulator layer 6, about 400 degrees C and BEKU processing for 30 minutes are performed.

[0003] Subsequently, like drawing 6 (b), the etching back of the aforementioned SOG film 7 is carried out until a part of 3rd insulator layer 6 of the above is exposed in the aforementioned tungsten wiring layer 5 top. The SOG film 7 is left behind only between the aforementioned tungsten wiring layers 5 by this, and the level difference between wiring layers is eased.

[0004] the 4th insulator layer 8 which becomes the whole surface from about 400nm plasma oxidation film by the plasma CVD method like drawing 6 (c) in an appropriate top -- forming -- the tungsten wiring layer 5 top -- contact -- a hole -- 8a is formed furthermore, this contact -- a hole -- 700nm AlSiCu and 50nm TiN are formed by the spatter so that 8a may be connected to the tungsten wiring layer 5 after formation, and the laminating wiring layer 9 is formed Next, about 1000nm covering film 10 is formed in the whole surface.

[0005] By the way, in a semiconductor device which was described above, in order to relieve the element defect which is easy to produce by detailed-ization of an element, a redundant circuit may be prepared. When this redundant circuit is connected to this circuit by the fuse and a defect arises in this circuit, cutting a fuse and changing a part of this circuit to a redundant circuit is performed. As shown in drawing 7 (a), after the process which forms the fuse 3 by tungsten silicide on the 1st insulator layer 2, and was shown in drawing 6 (c) is completed in said example, for example, like drawing 7 (b) In the field in which this fuse was formed, selective etching of each the aforementioned covering film 10, the 4th, and 3rd insulator layer 8 and 6 is carried out, and opening 11 is formed, and the 2nd insulator layer 4 is also reducing the thickness. In cutting a fuse 3, a laser beam is projected on a fuse 3 through this opening 11, and it is melting the fuse.

[0006]

[Problem(s) to be Solved by the Invention] Thus, although the insulator layer on a fuse 3 is \*\*\*\*\*ed and opening is formed in order to raise the fusing efficiency of a fuse, when it remains like drawing 7 (b) at this time, without the aforementioned SOG film 7 \*\*\*\*\*ing to the formation field of opening 11, the state where the edge of this SGO film 7 is exposed by the side of opening 11 will arise. Thus, if the edge of the SGO film 7 is exposed, the moisture from the plastic package which carried out the resin seal of the semiconductor device is absorbed from the edge of the SOG film 7, and the absorbed moisture will be told even to an internal circuitry through the SOG film 7, and will become the cause of short-circuiting an internal circuitry electrically and reducing the malfunction and reliability of a semiconductor device.

[0007] For this reason, while etching time will become long and manufacture efficiency will fall if etching of an SOG film is advanced so that the SOG film 7 may not remain in the formation field of opening 11 completely, the thickness of the SOG film of a wiring field will also be reduced and the flattening effect of said multilayer-interconnection structure will fall.

[0008] While the purpose of this invention attains flattening of multilayer-interconnection structure, it is to offer the semiconductor device which prevented property degradation by penetration of the moisture from fuse opening, and its manufacture method.

[0009]

[Means for Solving the Problem] The semiconductor device of this invention is

characterized by forming the wiring layer which has opening established over the thickness direction of the layer insulation film containing an SOG film, and surrounds opening in the direction of a flat surface in the same layer as an SOG film in the semiconductor device which has the multilayer-interconnection structure where an SOG film is formed in some layer insulation films with which the wiring layer of a vertical layer is insulated, and flattening is performed. Here, the wiring layer surrounding opening consists of wiring layers of a dummy. Moreover, opening is established to the fuse formation field of a redundant circuit, and it is formed so that a fuse may be melted using this opening.

[0010] The process at which the manufacture method of the semiconductor device of this invention forms the 1st insulator layer and the 2nd insulator layer in a semiconductor substrate, The process which forms a wiring layer on this 2nd insulator layer, and forms the wiring layer of an enclosure-like dummy in a necessary field by a part of wiring layer of a parenthesis, The process which applies an SOG film, and carries out the etching back of this, and removes the SOG film of the right above of the aforementioned wiring layer after forming the 3rd insulator layer in the whole surface, The process which establishes opening from the front face of a covering film over the necessary thickness range containing an SOG film to the process which forms the 4th insulator layer and covering film in the whole surface, and the field surrounded by the wiring layer of the aforementioned dummy is included. Especially, the fuse of a redundant circuit is formed in the necessary field on the 1st insulator layer, the 2nd insulator layer is formed on it, and the wiring layer of the aforementioned dummy is formed so that some aforementioned fuses may be surrounded, and the aforementioned opening is established to the thickness by which the 2nd insulator layer on the aforementioned fuse is left behind to necessary thickness.

[0011]

[Embodiments of the Invention] Next, the operation gestalt of this invention is explained with reference to a drawing. Drawing 1 or drawing 4 is drawing showing the operation gestalt of this invention in order of a process, and (b) of (a) of a wiring field is the cross section of a fuse field in each of drawing 1 - drawing 3 . First, as shown in drawing 1 (a) and (b), the 1st insulator layer 2 which consists of a silicon oxide by CVD all over the semiconductor substrate 1 is formed, the fuse 3 which consists of about 150nm tungsten silicide is formed in a fuse field on it, and the 2nd insulator layer 4 is formed on it. Moreover, in a wiring field, about 500nm tungsten wiring layer 5 is formed by tungsten CVD on this 2nd insulator layer 4. At this time, tungsten wiring layer 5X of a dummy is formed in the field which surrounds opening formed at a back process using a part of tungsten wiring layer in the fuse field.

[0012] In an appropriate top, the 3rd insulator layer 6 which consists of a 500nm plasma oxidation film by the plasma CVD method is formed in the upper surface of the aforementioned tungsten wiring layer 5. And after applying the organic silica (SOG) film 7 on this 3rd insulator layer 6, about 400 degrees C and BEKU processing for 30 minutes are performed.

[0013] Subsequently, as shown in drawing 2 (a) and (b), the etching back of the aforementioned SOG film 7 is carried out until a part of 3rd insulator layer 6 of the above is exposed in the aforementioned tungsten wiring layer 5 top. Thereby, in a wiring field, the SOG film 7 is left behind only between the aforementioned tungsten wiring layers 5, and the level difference between wiring layers 5 is eased. Moreover, the SOG film 7 with which it does not \*\*\*\*\* is thinly left behind to the fuse field.

[0014] In an appropriate top, as shown in drawing 3 (a) and (b), the 4th insulator layer 8 which consists of about 400nm plasma oxidation film by the plasma CVD method is formed in the whole surface. and a wiring field -- the tungsten wiring layer 5 top -- contact -- a hole is formed, 700nm AlSiCu and 50nm TiN are formed by the spatter so

that it may connect with the tungsten wiring layer 5 after that, and the laminating wiring layer 9 is formed. Next, about 1000nm covering film 10 is formed in the whole surface.

[0015] Subsequently, like drawing 4 (a), in a fuse field, selective etching of each the aforementioned covering film 10, the 4th, and 3rd insulator layer 8 and 6 is carried out to the part on a fuse 3, opening 11 is formed, and the thickness on a fuse 3 is also reducing the 2nd insulator layer 4 so that it may be set to 300-400nm. It becomes easy to project and melt a laser beam at a fuse 3 through this opening 11 by forming this opening 11, in cutting a fuse 3. This opening 11 is formed in the partition surrounded by tungsten wiring layer 5X of the aforementioned dummy, as flat-surface composition is shown in drawing 4 (b).

[0016] Therefore, in the semiconductor device constituted in this way, since the edge of the SOG film 7 is exposed by opening 11, when plastic-package closure is carried out, moisture advances even into opening 11, the SOG film 7 tends to absorb moisture and moisture tends to advance even into the interior of a semiconductor device. However, tungsten wiring layer 5X of a dummy is formed so that opening 11 may be surrounded, and it is prevented that moisture is intercepted by tungsten wiring layer 5X of a dummy, and it advances even into an internal circuitry by it since the SOG film 7 is made the state where it was divided with the internal circuitry by this dummy tungsten wiring layer 5X. Thereby, the electric short circuit in an internal circuitry and degradation of reliability are prevented.

[0017] Moreover, in this semiconductor device, since penetration of the moisture to an internal circuitry is prevented as described above even if the SOG film 7 remains to the fuse field, the SOG film 7 is not etched more than required, etching time is shortened, and the manufacture efficiency of a semiconductor device is raised, and flattening of the multilayer-interconnection structure by the SOG film can be promoted. After carrying out plastics closure of the semiconductor device of this invention, when the examination of 500 hours was incidentally performed in the state of 130 degrees C, pressure 25atm, and 100% of humidity, there was no poor generating.

[0018] Here, as shown in drawing 5, the tungsten wiring layer of the dummy formed in a fuse field may constitute fuse opening from a tungsten wiring layer 5X1 surrounded doubly and 5X2. Furthermore, as long as a margin is in a space, you may form so that it may surround or more by three-fold. If there is many tungsten wiring of this dummy, the effect of preventing moisture advancing even into an internal circuitry through an SOG film so much will be heightened.

[0019]

[Effect of the Invention] In the semiconductor device which has the multilayer-interconnection structure where an application insulator layer is formed in some layer insulation films, and this invention is performing flattening as explained above. Since the wiring layer which has opening established over the thickness direction of the layer insulation film containing an application insulator layer, and surrounds opening in the direction of a flat surface in the same layer as an application insulator layer is formed. Since the SOG film is divided by the wiring layer even when the edge of an SOG film is exposed, moisture is absorbed by the SOG film from this edge and it is going to advance into opening even at an internal circuitry. Moisture does not advance even into an internal circuitry and property degradation of a semiconductor device and the fall of reliability are prevented. Moreover, since it is not necessary to \*\*\*\*\* an SOG film completely in the field in which opening was prepared, the flattening effect of the multilayer-interconnection structure by the SOG film is heightened.

---

[Translation done.]